

**MENU** **SEARCH** **INDEX** **DETAIL** **JAPANESE**

1 / 1

W1264

## PATENT ABSTRACTS OF JAPAN

(11)Publication number : 11-219989

(43)Date of publication of application : 10.08.1999

(51)Int.Cl. H01L 21/66  
G01R 1/06  
G01R 31/02  
G01R 31/26

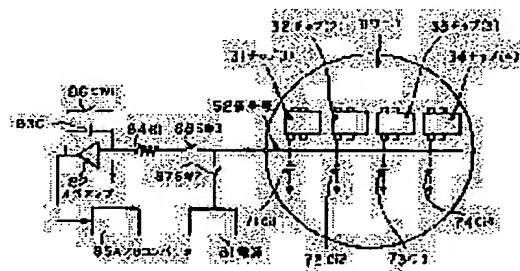
(21)Application number : 10-017581 (71)Applicant : MATSUSHITA ELECTRIC IND  
CO LTD

(22)Date of filing : 29.01.1998 (72)Inventor : ISHIZAKA MASAOKI

### (54) METHOD AND DEVICE FOR CONFIRMING SEMICONDUCTOR SIGNAL LINE CONNECTION

#### (57)Abstract:

**PROBLEM TO BE SOLVED:** To allow burn-in in a wafer state by confirming connection between the semiconductor chip on a wafer and a signal line.  
**SOLUTION:** Input capacity 71-74 of a signal line 52 connected to semiconductor chips 31-34 on a wafer 11, for burn-in, is measured. The value of input capacitance of the signal line is the sum of the electrostatic capacity of the contact point formed on a contact and the signal line, and the input capacitance of the semiconductor chip connected to the signal line through the contact to the wafer, so connection of the signal line is confirmed by measuring the electrostatic capacity of each signal line. By taking a difference between a value obtained by measuring the input capacitance before the wafer is connected to the signal line, and that obtained by re-measuring the input capacitance after the wafer is connected to the signal line, input capacitance is obtained with precision.



### LEGAL STATUS

[Date of request for examination] 06.09.1999

[Date of sending the examiner's decision of rejection]

[Kind of final disposal of application other than the examiner's decision of rejection or application converted registration]

W1264

(19) 日本国特許庁 (J P)

(12) 公開特許公報 (A)

(11) 特許出願公開番号

特開平11-219989

(43) 公開日 平成11年(1999) 8月10日

(51) Int.Cl. <sup>8</sup>	識別記号	F I	
H 0 1 L 21/66		H 0 1 L 21/66	F
			H
G 0 1 R 1/06		G 0 1 R 1/06	E
31/02		31/02	
31/26		31/26	H
審査請求 未請求 請求項の数 8 O L (全 7 頁)			

(21) 出願番号 特願平10-17581

(22) 出願日 平成10年(1998) 1月29日

(71) 出願人 000005821

松下電器産業株式会社

大阪府門真市大字門真1006番地

(72) 発明者 石坂政明

神奈川県横浜市港北区綱島東四丁目3番1

号 松下通信工業株式会社内

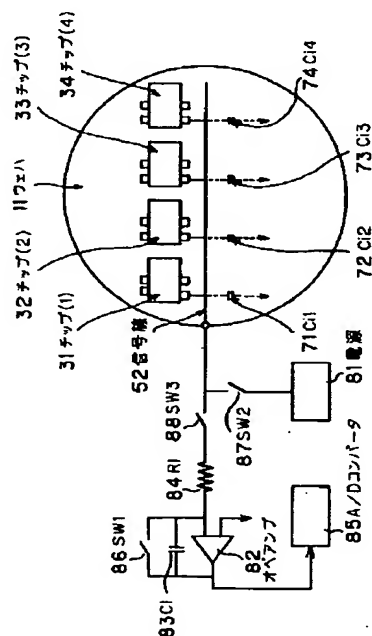
(74) 代理人 弁理士 蔵合 正博

(54) 【発明の名称】 半導体信号線接続確認方法およびその装置

(57) 【要約】

【課題】 ウェハ上に形成されている半導体チップと信号線の接続を確認し、ウェハ状態でのバーンインを可能とする。

【解決手段】 バーンイン対象となるウェハ11上に形成された各半導体チップ31～34に接続された信号線52の入力容量71～74を測定する。信号線の入力容量の値は、コンタクタ上に形成された接点および信号線の持つ静電容量と、コンタクタのウェハへの接触により信号線に接続した半導体チップの持つ入力容量との和のため、各信号線の静電容量を測定することにより、信号線の接続を確認できる。また、信号線にウェハを接続する前の入力容量を測定して得た値と、信号線にウェハを接続した後の入力容量を再度測定して得た値との差分を取ることで、入力容量を精度高く求めることができる。



## 【特許請求の範囲】

【請求項1】 バーンイン対象となるウェハ上に形成された半導体チップに接続された信号線の入力容量を測定し、その値により半導体チップとの信号線の接続を確認する半導体信号線接続確認方法。

【請求項2】 信号線の入力容量を測定する際に、信号線にウェハを接続する前の入力容量を測定して得た値と、信号線にウェハを接続した後の入力容量を再度測定して得た値との差分により半導体チップとの信号線の接続を確認する請求項1記載の半導体信号線接続確認方法。

【請求項3】 信号線の入力容量の測定を、半導体チップの蓄積電荷を測定することにより行う請求項1または2記載の半導体信号線接続確認方法。

【請求項4】 信号線の入力容量の測定を、入力容量への突入電流の積分値を測定することにより行う請求項1または2記載の半導体信号線接続確認方法。

【請求項5】 信号線の入力容量の測定を、入力容量をマルチバイブレータの構成要素として発振周波数を測定することにより行う請求項1または2記載の半導体信号線接続確認方法。

【請求項6】 信号線の入力容量の測定を、入力容量のブリッジの構成要素としてブリッジのバランス点から測定することにより行う請求項1または2記載の半導体信号線接続確認方法。

【請求項7】 信号線の入力容量の測定を、コイルとの組み合わせによる同調周波数を測定することにより行う請求項1または2記載の半導体信号線接続確認方法。

【請求項8】 ウェハ上に形成された半導体チップに接続された信号線の接続状態を確認するための半導体信号線接続確認装置であって、測定に必要な電圧を供給する電源と、積分回路を構成するオペアンプとコンデンサと抵抗と、前記積分回路の出力電圧を測定して数値化するA/Dコンバータと、前記積分回路のリセットを行う第1のスイッチと、前記信号線に対して前記電源の電圧供給をオン、オフする第2のスイッチと、前記信号線と前記積分回路との接続をオン、オフする第3のスイッチとを備えた半導体信号線接続確認装置。

## 【発明の詳細な説明】

## 【0001】

【発明の属する技術分野】本発明は、半導体デバイスの信頼性を高めることを目的としたバーンインによるスクリーニング処理を、ウェハ状態にて行う時の半導体信号線接続確認方法およびその装置に関する。

## 【0002】

【従来の技術】従来、半導体デバイスの信頼性を高めるためのスクリーニング処理として、半導体デバイスに定格もしくは若干の過電圧による電源電圧を加え、各信号入力端子には実動作に近い信号を印加しつつ125°C程度の高温状態にして数時間バーンインすることが行わ

れている。従来、このバーンイン処理は、半導体デバイスをパッケージに収納された製品状態で行われることが多かった。パッケージに収納された半導体デバイスは、信号線引き出し用の端子を備えており、バーンインを行う時は、ソケットに挿入してその接続を確認することなしに容易にバーンイン処理を行うことができた。

## 【0003】

【発明が解決しようとする課題】しかしながら、より上流の工程にてスクリーニングを行うことを目的として、ウェハ状態の半導体チップに対してバーンインを行うことが望まれている。ウェハ状態の半導体チップに対するバーンインを実現するためには、ウェハ上に一括形成された複数の半導体チップの引き出し電極であるボンディングパットに対し、信号線を接続して信号を印加する必要がある。信号線の接続の方法は、メモリ、ロジックといったデバイスの種類により若干異なることもあるが、ここではメモリのデバイス例について説明する。

【0004】ウェハ上には、通常100個から400個の半導体チップが形成され、各半導体チップには、100μm程度の微小サイズのボンディングパットが20個から40個程度配置されており、これらのボンディングパットに対し、1ウェハ当たり総数2000点から16000点の信号線接続を正確に行わねばならない。すなわち、ウェハ状態の半導体チップに対するバーンインを実現するためには、大量の信号線接続を行う必要があり、その信号線接続が正しく行われていることを確認の上でバーンインすることが望まれている。

【0005】図3はウェハに対する信号線接続の状態を示している。図1において、11はウェハであり、この上に多数の半導体チップが形成されている。具体的な例としては、ウェハ11上に中央の列として21、22、23、24、25、26、27、28の半導体チップ、周辺の列として31、32、33、34の半導体チップおよび41、42の半導体チップがある。12はコンタクタであり、ウェハ11に形成された半導体チップ総てのボンディングパットに対応して電気的に接続する接点とそこから引き出される信号線により構成されており、ウェハ11にコンタクト（圧力をかけて接触）させて用いる。この時の重要な点は、ウェハ上の半導体チップ1ヶ毎に独立に信号線を引き出すのではなく、図3に示すように、円形上に配置された半導体チップの列毎、行毎に複数の半導体チップに対し並列に信号線を接続して引き出すことが通常行われていることである。

【0006】具体的には、中央の列21、22、23、24、25、26、27、28の半導体チップに対応して51の信号線、周辺の列31、32、33、34の半導体チップに対応して52の信号線、41、42の半導体チップに対応して53の信号線がある。また、ウェハ中央の列24、32、41の半導体チップに対応して54の信号線、中央の列25、33、42の半導体チップ

に対応して55の信号線がある。本列では51、52、53の信号線には、メモリを駆動する信号線の内、アドレス線A0～A7、データ線D0～D3、書込制御線WEが含まれており、54、55の信号線には、メモリを駆動する信号線の内、読出制御線OEが含まれている。このような信号線の構成により、21、22、23、24、25、26、27、28の各半導体チップに同時に書き込みを行い、読み出し時は読出制御線OEを用いて21、22、23、24、25、26、27、28の各半導体チップに対し、順次1チップずつ読み出してテストすることが可能となる。

【0007】図4はその信号線52に含まれるアドレス線A0～A7、データ線D0～D3、書込制御線WEおよび信号線54、信号線55に含まれる読出制御線OEについて示している。すなわち、半導体チップ31、32、33、34の各ボンディングパットから並列にアドレス線A0～A7、データ線D0～D3、書込制御線WEの信号線を引き出している。また、半導体チップ24、32、41のOEボンディングパットから並列に読出制御線OEの信号線54を引き出し、半導体チップ25、33、42のOEボンディングパットから並列に読出制御線OEの信号線55を引き出している。

【0008】また、ウェハとコンタクトの信号線接続を確認する手段として、図5に示すように直流的に信号線の状態をテストする方法がある。図5において、31、32、33、34はウェハ11上に形成された半導体チップであり、半導体チップ31、32、33、34の1ボンディングパットには、それぞれ61、62、63、64に示す入力保護ダイオードが半導体チップに内蔵されている。52はコンタクトに備えられた信号線であり、それぞれのボンディングパットに接点を通して接続されており、コンタクトの外部に引き出されている。65は電源であり、100 $\mu$ A程度の正負の極性の異なる直流電流を発生し、信号線52に印加することができる。ただし、ウェハ上の半導体チップを破壊しないように、5V程度の正負の限界電圧以上の電圧が発生しないようリミット回路が組み込まれている。66はデジボルであり、信号線52に接続され、信号線52の直流電流を測定する。

【0009】以下にその動作を説明する。先に触れたように、半導体チップの端子を外部から測定すると正の電圧をかけた時は高い抵抗を示し、負の電圧をかけた時は入力保護ダイオードによるダイオード特性を示す。したがって電源65から正の100 $\mu$ Aの電流を信号線52に印加すると、信号線に正常に半導体チップ31、32、33、34が接続されている時は電流が流れず、このため信号線52の直流電位は正の限界電圧となり、デジボル66によりその電位を読み取ることができる。半導体チップ31、32、33、34のいずれかが損傷を受けるか、コンタクトが正常に行われず隣接接点との間に

短絡を起こした時は、電流の漏れが発生し、限界電圧未満の低い電圧が観測される。

【0010】次に電源65から負の100 $\mu$ Aの電流を信号線52に印加すると、信号線に正常に半導体チップ31、32、33、34が接続されている時は、各半導体チップに内蔵されている保護ダイオードに電流が流れ、信号線52の直流電位は-0.3V程度の電圧となり、デジボル66によりその電位を読み取ることができる。半導体チップ31、32、33、34のいずれかが損傷を受けるか、コンタクトが正常に行われず隣接接点との間に短絡を起こした時は、電流の漏れが発生し、-0.3V未満の低い電圧が観測される。また、コンタクトが正常に行われず、総ての接点との接続ができなかった時は、電流が流れず、信号線52の直流電位は負の限界電圧となり、デジボル66によりその電位を読み取ることができる。

【0011】このように、従来の方法である正および負の直流電流の印加では、半導体チップ31、32、33、34のいずれかが損傷を受けるか、コンタクトが正常に行われず隣接接点との間に短絡を起こした時、もしくはコンタクトが正常に行われず、総ての接点との接続ができなかった時は異常が判明するが、半導体チップ31、32、33、34のいずれかが開放になった時は異常が判明しない。すなわち、直流によるテストでは、その信号線に接続された全半導体チップの接続を確認することが困難であり、ウェハへの接続は列毎、行毎に並列に行われるため、一部の接続が不完全な場合には検出ができないという問題があった。

【0012】本発明は、上記従来の課題を解決するものであり、ウェハ上に形成されている半導体チップと信号線の接続を確認し、ウェハ状態でのバーンインを可能とする半導体信号線接続確認方法とその装置を提供することを目的とする。

【0013】

【課題を解決するための手段】本発明は、上記目的を達成するために、各信号線の静電容量を測定することにより、信号線の接続を確認するようにしたものである。すなわち、各信号線の入力容量の値は、コンタクト上に形成された接点および信号線の持つ静電容量と、コンタクトのウェハへの接触により信号線に接続した半導体チップの持つ入力容量との和のため、各信号線の静電容量を測定することにより、信号線の接続を確認することができる。静電容量を測定する例として、信号線を通して直流電流の印加し、信号線に接続される半導体チップの入力容量に電荷を蓄積し、次にこれを放電させ、その放電電流を積分測定して入力容量を測定できるようにする。入力容量を得れば、次にこの入力容量からコンタクト上に形成された接点および信号線の持つ静電容量を差し引くことにより、コンタクトのウェハへの接触により信号線に接続した半導体チップの持つ入力容量の総和を得る

ことができる。正常な半導体チップの入力容量は既知であり、信号線に接続した半導体チップの持つ入力容量の総和から信号線に接続された半導体チップの数を確認できるようにする。

【0014】静電容量の測定は、半導体チップの蓄積電荷を測定する方法の他に、静電容量への突入電流の積分値を測定する方法、静電容量をマルチバイブレータの構成要素として発振周波数を測定する方法、静電容量のブリッジの構成要素としてブリッジのバランス点から測定する方法、コイルとの組み合わせによる同調周波数を測定する方法などを用いることができる。

【0015】

【発明の実施の形態】本発明の請求項1に記載の発明は、バーニン対象となるウェハ上に形成された半導体チップに接続された信号線の入力容量を測定し、その値により半導体チップとの信号線の接続を確認する半導体信号線接続確認方法であり、各信号線の入力容量の値は、コンタクト上に形成された接点および信号線の持つ静電容量と、コンタクトのウェハへの接触により信号線に接続した半導体チップの持つ入力容量との和のため、各信号線の静電容量を測定することにより、信号線の接続を確認することができるという作用を有する。

【0016】本発明の請求項2に記載の発明は、信号線の入力容量を測定する際に、信号線にウェハを接続する前の入力容量を測定して得た値と、信号線にウェハを接続した後の入力容量を再度測定して得た値との差分により半導体チップとの信号線の接続を確認する請求項1記載の半導体信号線接続確認方法であり、コンタクト上に形成された接点および信号線の持つ静電容量は、コンタクト製作に基づくばらつきを持っているため、ウェハを接続する前の入力容量を得ることによりばらつきの影響をなくし、コンタクトのウェハへの接触により信号線に接続した半導体チップの持つ入力容量を精度高く求めることができるという作用を有する。

【0017】本発明の請求項3に記載の発明は、信号線の入力容量の測定を、半導体チップの蓄積電荷を測定することにより行う請求項1または2記載の半導体信号線接続確認方法であり、信号線の入力容量を公知の技術を用いて測定することができる。

【0018】本発明の請求項4に記載の発明は、信号線の入力容量の測定を、入力容量への突入電流の積分値を測定することにより行う請求項1または2記載の半導体信号線接続確認方法であり、信号線の入力容量を公知の技術を用いて測定することができる。

【0019】本発明の請求項5に記載の発明は、信号線の入力容量の測定を、入力容量をマルチバイブレータの構成要素として発振周波数を測定することにより行う請求項1または2記載の半導体信号線接続確認方法であり、信号線の入力容量を公知の技術を用いて測定することができる。

【0020】本発明の請求項6に記載の発明は、信号線の入力容量の測定を、入力容量のブリッジの構成要素としてブリッジのバランス点から測定することにより行う請求項1または2記載の半導体信号線接続確認方法であり、信号線の入力容量を公知の技術を用いて測定することができる。

【0021】本発明の請求項7に記載の発明は、信号線の入力容量の測定を、コイルとの組み合わせによる同調周波数を測定することにより行う請求項1または2記載の半導体信号線接続確認方法であり、信号線の入力容量を公知の技術を用いて測定することができる。

【0022】本発明の請求項8に記載の発明は、ウェハ上に形成された半導体チップに接続された信号線の接続状態を確認するための半導体信号線接続確認装置であって、測定に必要な電圧を供給する電源と、積分回路を構成するオペアンプとコンデンサと抵抗と、前記積分回路の出力電圧を測定して数値化するA/Dコンバータと、前記積分回路のリセットを行う第1のスイッチと、前記信号線に対して前記電源の電圧供給をオン、オフする第2のスイッチと、前記信号線と前記積分回路との接続をオン、オフする第3のスイッチとを備えた半導体信号線接続確認装置であり、簡単な構成により半導体信号線接続確認装置を実現することができる。

【0023】（実施の形態）以下、本発明の実施の形態を図面を参照して説明する。図1は本発明による一実施の形態を示している。図1において、11はウェハであり、この中に31、32、33、34から成る半導体チップが多数形成されている。半導体チップ31、32、33、34の端子である1ボンディングパッドには、それぞれ71、72、73、74に示す各半導体チップの持つ入力容量が存在する。52はコンタクトに備えられた信号線であり、それぞれのボンディングパッドに接点を通して接続されており、コンタクトの外部に引き出されている。

【0024】次に測定部について述べる。81は電源であり、測定に必要な充電電圧を供給する。82はオペアンプであり、83の積分コンデンサ、84の積分抵抗とともに積分回路を構成している。85はA/Dコンバータであり、82のオペアンプなどが構成する積分回路の出力電圧を測定して数値化する。86は第1のスイッチであり、オンすることによりオペアンプ82などの構成する積分回路のリセットを行う。87は第2のスイッチであり、オンすることにより、信号線5に電源81の発生する充電電圧を供給する。88は第3のスイッチであり、オンすることにより信号線52とオペアンプ82などの構成する積分回路を接続する。

【0025】図2は図1の動作タイミングを示す図である。図2において、最初に第1のスイッチ86がオンし、オペアンプ82などが構成する積分回路をリセットする。次に第2のスイッチ87がオンし、電源81の発

生する充電電圧を信号線52に供給する。半導体チップ31、32、33、34が正常に接続されている時は、信号線52を通して、入力容量71、72、73、74を充電電圧に充電する。次に第2のスイッチ87をオフし、異常で測定準備が完了する。

【0026】測定動作は、まず第1のスイッチ86をオフしてオペアンプ82などにより構成される積分回路をリセットを解除する。次に、第3のスイッチ88をオンし、入力容量71、72、73、74に充電された電荷を信号線52を通して、積分抵抗84に導く。ここに流れる放電電流は、その積分値がオペアンプ82などにより構成される積分回路の積分コンデンサ83に蓄積される。放電が十分行われる間待ち、第3のスイッチ88をオフし、その後A/Dコンバータ85を動作させ、図2に示す積分電圧を読み取る。積分電圧は、入力容量71、72、73、74に充電された電荷に比例するため、積分電圧を測定することにより入力容量を求めることができる。入力容量を得れば、先に述べたように、この入力容量からコンタクタ上に形成された接点および信号線の持つ静電容量を差し引くことにより、コンタクタのウェハへの接触により信号線に接続した半導体チップの持つ入力容量の総和を得ることができる。このようにして信号線に接続されている半導体チップの数を確認できるため、半導体チップ31、32、33、34の何れかが接触しない状態を検出することができるようになる。

【0027】静電容量の測定は、多くの手法が知られており、上記に述べた半導体チップの蓄積電荷を測定する手法の他に、静電容量への突入電流の積分値を測定する方法、静電容量をマルチバイブレータの構成要素として発振周波数を測定する方法、静電容量をブリッジのバランス点より測定する方法、コイルとの組み合わせによる同調周波数を測定する方法などが知られており、いずれも同様の結果を得ることができる。

【0028】本発明を実施する際に、ウェハにコンタクタを接続した時の静電容量を測定して得られた値により接続の良否を判定することは可能であるが、より精度を向上する手法を以下に述べる。すなわちコンタクタにウェハを接続する前に、コンタクタ自身の静電容量を測定しておき、この値とコンタクタにウェハを接続した状態での静電容量を測定して得られた値との差分を計算する。コンタクタ上に形成された接点および信号線の持つ静電容量は、コンタクタ製作に基づくばらつきを持っているが、この差分値によりコンタクタへのウェハの接触

により信号線に接続した半導体チップの持つ入力容量のみを精度高く求めることができ、この値から信号線に接続されている半導体チップの数を確認することにより、接続の良否を精度高く判定することが可能となる。

#### 【0029】

【発明の効果】以上のように、本発明によれば、半導体チップのいずれかが解放になった時もその異常を検出することができるため、信号線の接続確認を容易かつ確実に行うことができる。また、ウェハ状態にてバーニンするには大量の接点接続が必須なため、信号線の接続確認技術が重要な位置付けにあり、本発明によりウェハのコンタクトの信頼性を確保することにより、ウェハ状態でのバーニンの実現性を高めることができる。

#### 【図面の簡単な説明】

【図1】本発明の一実施の形態における半導体信号線接続確認装置の構成を示す回路図

【図2】本発明の一実施の形態における動作を示すタイミング図

【図3】ウェハ上の半導体チップおよびコンタクタ上の信号線を示す模式図

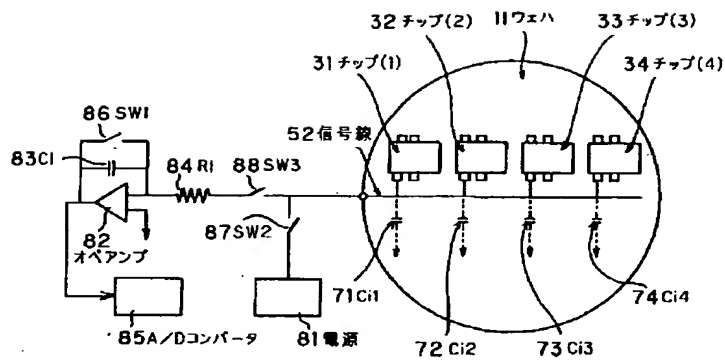
【図4】コンタクタ上の信号線の詳細図

【図5】従来の直流を用いた半導体信号線接続確認装置の構成を示す回路図

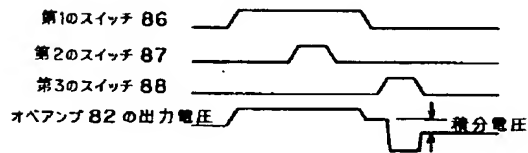
#### 【符号の説明】

- 11 ウェハ
- 12 コンタクタ
- 21～28 ウェハ上の半導体チップ
- 31～34 ウェハ上の半導体チップ
- 41～42 ウェハ上の半導体チップ
- 51～55 信号線
- 61～64 半導体チップに内蔵された入力保護ダイオード
- 65 電源
- 66 デジボル
- 71～74 半導体チップの持つ入力容量
- 81 電源
- 82 オペアンプ
- 83 積分コンデンサ
- 84 積分抵抗
- 85 A/Dコンバータ
- 86 第1のスイッチ
- 87 第2のスイッチ
- 88 第3のスイッチ

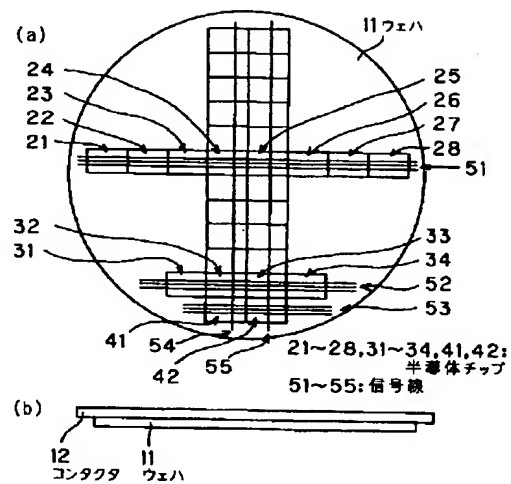
【図1】



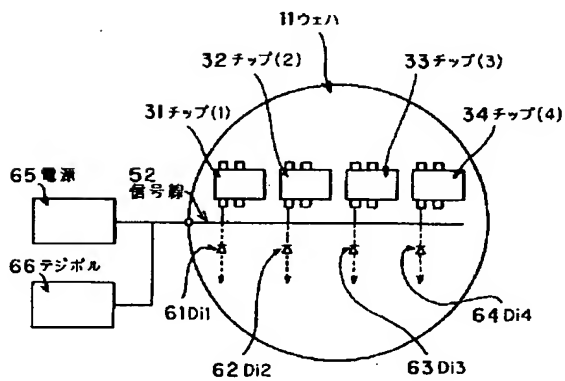
【図2】



【図3】



【図5】



【図4】

